

SEMICONDUCTOR DEVICE

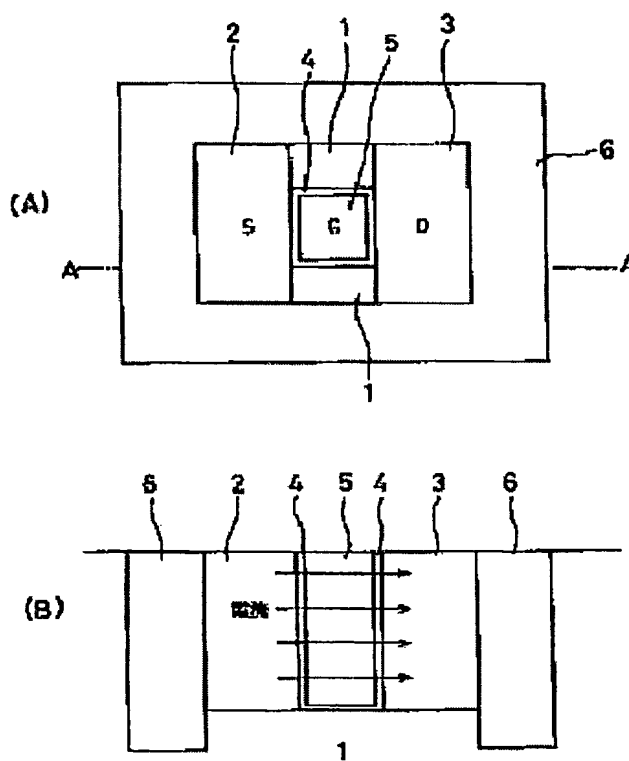
Patent number: JP11150265
Publication date: 1999-06-02
Inventor: AGAWA KENICHI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- **International:** H01L29/78
- **European:** H01L21/336S
Application number: JP19970315443 19971117
Priority number(s): JP19970315443 19971117

Report a data error here

Abstract of JP11150265

PROBLEM TO BE SOLVED: To realize miniaturization and to achieve high integration by forming a gate electrode in the vertical direction with respect to the surface direction of a semiconductor substrate, and forming the channel region of a current flowing between a source region and a drain region in the vertical direction with respect to the surface of the semiconductor substrate along the gate electrode. **SOLUTION:** In a semiconductor substrate 1, a diffused layer which becomes a source region 2, and a diffused layer which becomes a drain region 3t are formed in the vertical direction with respect to the surface direction of the semiconductor substrate 1 with a specified distance of separation.

Furthermore, in the semiconductor substrate 1 between the source region 2 and the drain region 3, a gate electrode 5 is formed in the vertical direction with respect to the surface direction of the semiconductor substrate 1 via a gate oxide film 4. Therefore, the channel region of the current flowing between the source region 2 and the drain region 3 is formed in the vertical direction with respect to the surface direction of the semiconductor substrate 1 along the gate electrode 5. The channel regions are formed on both sides of the semiconductor substrate 1, at the upper edge side and the lower edge side of the gate electrode 5.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-150265

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl.⁶

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 V

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号 特願平9-315443

(22) 出願日 平成9年(1997)11月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 阿川 謙一

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

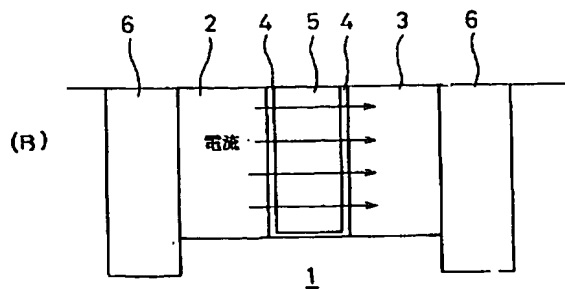
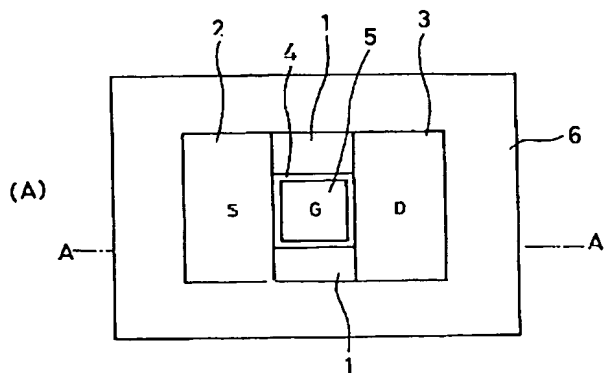
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 この発明は、微細化を図り高集積化を達成し得る半導体装置を提供することを課題とする。

【解決手段】 この発明は、ゲート電極5を半導体基板1の表面と垂直方向に半導体基板1中に形成し、チャネル領域を半導体基板1の表面と垂直方向に形成して構成される。



【特許請求の範囲】

【請求項1】 接合型電界効果トランジスタの半導体装置であって、

半導体基板中に形成されたソース領域とドレイン領域に挟まれた前記半導体基板中に、前記半導体基板の表面方向に対して垂直方向にゲート電極が形成され、ソース領域とドレイン領域間を流れる電流のチャネル領域が前記ゲート電極に沿って前記半導体基板の表面に対して垂直方向に形成されてなることを特徴とする半導体装置。

【請求項2】 接合型電界効果トランジスタの半導体装置であって、

多層配線構造における配線層間に形成された半導体層中に形成されたソース領域とドレイン領域に挟まれた前記半導体層中に、前記半導体層の表面方向に対して垂直方向にゲート電極が形成され、ソース領域とドレイン領域間を流れる電流のチャネル領域が前記ゲート電極に沿って前記半導体層の表面に対して垂直方向に形成されてなることを特徴とする半導体装置。

【請求項3】 前記ソース領域又は前記ドレイン領域は、前記半導体基板又は前記半導体層の表面方向の断面が正多角形又は円形に形成され、前記ゲート電極は前記ソース領域又はドレイン領域の正多角形の外周辺又は円形の外周に沿って複数形成され、ゲート電極が分割された1つのトランジスタを形成してなることを特徴とする請求項1又は2記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、高集積化に寄与する半導体装置に関する。

【0002】

【従来の技術】近年、半導体集積回路は回路の主な構成要素となる電界効果トランジスタ、例えばMOSFET等の半導体装置の微細化により、高密度集積化の傾向を実現してきた。特にMOSFETの半導体装置は、主としてゲート電極、ソース電極、ドレイン電極という3つの電極部を形成するだけでよく、それぞれの領域を平面的に縮小することにより、装置全体の微細化、すなわち高集積化を図ってきた。

【0003】しかしながら、従来の半導体装置では、ゲート電極が半導体基板上に平面的に形成されるため、ゲート電極の幅に律速される形で占有面積の低減には限界があった。すなわち、トランジスタの駆動電流をある程度確保するためには、ゲート幅をある程度大きくとる必要があり、そのゲート幅は、ゲート長さ、ゲート幅方向と垂直方向のソース／ドレイン拡散層のディメンジョンより大きくなる傾向にあった。これにより、トランジスタのサイズはゲート幅の方向に大きくなり、その大きさを律速要因としてそれ以上の微細化には限界があった。

【0004】

【発明が解決しようとする課題】以上説明したように、

従来の電界効果トランジスタの半導体装置にあつては、ゲート電極が半導体基板上に平面的に形成され、トランジスタの駆動力に応じてゲート電極の幅が半導体基板の表面に対して平行に増減していた。このため、半導体装置の製造プロセス技術が飛躍的に進歩したとしても、トランジスタの構造上の観点から半導体基板の表面方向に対する平面的なトランジスタサイズの縮小化には限界があった。これは、半導体集積回路を高集積化する上での障害となり、半導体集積回路全体としての高集積化が困難になるという不具合を招いていた。

【0005】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、微細化を図り高集積化を達成し得る半導体装置を提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明は、接合型電界効果トランジスタの半導体装置であって、半導体基板中に形成されたソース領域とドレイン領域に挟まれた前記半導体基板中に、前記半導体基板の表面方向に対して垂直方向にゲート電極が形成され、ソース領域とドレイン領域間を流れる電流のチャネル領域が前記ゲート電極に沿って前記半導体基板の表面に対して垂直方向に形成されてなることを特徴とする。

【0007】請求項2記載の発明は、接合型電界効果トランジスタの半導体装置であって、多層配線構造における配線層間に形成された半導体層中に形成されたソース領域とドレイン領域に挟まれた前記半導体層中に、前記半導体層の表面方向に対して垂直方向にゲート電極が形成され、ソース領域とドレイン領域間を流れる電流のチャネル領域が前記ゲート電極に沿って前記半導体層の表面に対して垂直方向に形成されてなることを特徴とする。

【0008】請求項3記載の発明は、請求項1又は2記載の半導体装置において、前記ソース領域又は前記ドレイン領域は、前記半導体基板又は前記半導体層の表面方向の断面が正多角形又は円形に形成され、前記ゲート電極は前記ソース領域又はドレイン領域の正多角形の外周辺又は円形の外周に沿って複数形成され、ゲート電極が分割された1つのトランジスタを形成してなることを特徴とする。

【0009】

【発明の実施の形態】以下、図面を用いてこの発明の実施の形態を説明する。

【0010】図1は請求項1記載の発明の一実施形態に係わる半導体装置の構成を示す図であり、同図(A)は正面図、同図(B)は同図(A)のA-A線に沿った断面図である。

【0011】図1において、この実施形態の半導体装置は、金属又は半導体からなるゲート電極と半導体との間

に酸化物や窒化物等の絶縁物を挟んだ接合型の電界効果トランジスタ(FET)であって、半導体基板1中にソース領域2となる拡散層とドレイン領域3となる拡散層が、所定の距離だけ離れて半導体基板1の表面方向(図1の左右方向)に対して垂直な方向(図1(B)の上下方向、深さ方向)に形成されている。また、ソース領域2とドレイン領域3との間の半導体基板1中には、ゲート酸化膜4を介して半導体基板1の表面方向に対して垂直方向にゲート電極5が形成されている。したがって、ソース領域2とドレイン領域3間を流れる電流のチャネル領域は、ゲート電極5に沿って半導体基板1の表面方向に対して垂直方向に形成され、図1(A)においてゲート電極5の上方辺側と下方辺側の半導体基板1中の双方にチャネル領域が形成されることになる。また、これらの領域を取り囲むように半導体基板1中にこのトランジスタと他の領域を分離する素子分離領域となる絶縁体層6が形成されている。

【0012】次に、このような構造を製造する製造方法の一実施形態を説明する。

【0013】まず、従来から採用されている方法で素子分離領域となる絶縁体層6を半導体基板1中の深さ方向に形成する。次に、高加速インプラによりソース領域2及びドレイン領域3となる深い拡散層を形成する。なお、高加速インプラでは図1に示すようなシャープでかつ深い拡散層を形成することが難しい場合には、半導体基板1を開口した後CVD法により堆積とドーピングを同時に行いドーパされた例えばポリシリコンをデボシ、最後にCMP法により不要部分を除去するようにしてもよい。このようにしてソース領域2ならびにドレイン領域3の拡散層が形成された後、ゲート電極5となる電極材を埋め込むための溝を半導体基板1中に開口形成する。開口後、溝の側面の半導体基板1を少量酸化し、開口された溝の側面にゲート酸化膜4を形成する。最後に、ゲート電極材となる例えばドーパされたポリシリコンもしくは金属を溝に埋め込みゲート電極5を形成してこの実施形態の半導体装置は完成する。なお、各領域からの引き出し線やパッシベーション膜等は従来から採用されている方法により形成される。また、ゲート長が短くなってきた時にはゲート電極5へのコンタクトの形成が難しくなると思われるが、この場合には、従来から使われている埋め込み型の引き出し線を用いてゲート電極5に引き出し線を形成すればよい。

【0014】このような製造方法によって得られる図1に示す構造においては、面積的には以下に説明するような効果があると考察される。例えば、近い将来のゲートアレイで使用されるトランジスタのトランジスタ幅は $5\mu\text{m}$ 程度であると推定される。したがって、このトランジスタと同等の性能を得るために図1に示す構造のトランジスタにおいては、ゲート電極5の両側に電流が流れてチャネル領域が形成されるため、 $2.5\mu\text{m}$ 程度の深

さのゲート電極を形成すればよいことになる。そこで、図1において、ソース横方向(図1(A)で左右方向)長、ゲート長、ドレイン横方向長、素子分離幅を現在の製造プロセスにおいて製造可能な妥当な値である例えば $0.4\mu\text{m}$ 程度とし、ソース領域2及びドレイン領域3の縦方向(図1(A)で上下方向)の長さを $0.8\mu\text{m}$ 程度とすると、図1に示す構造のトランジスタの占有面積は $3.2\mu\text{m}^2$ 程度と試算される。一方、ゲート電極が絶縁膜を介して半導体基板上に形成された従来型のトランジスタでは、ゲート幅が $5\mu\text{m}$ 程度であるので、ゲート幅方向の長辺が $5.8\mu\text{m}$ 程度となり、ゲート長方向の短辺は図1と同じ $2\mu\text{m}$ 程度となり、占有面積は $11.6\mu\text{m}^2$ 程度と試算される。この結果、図1に示す構造を採用したこの実施形態のトランジスタは従来に比べて約 $(1/3.6)$ 倍程度の占有面積で同等の性能を得ることができる。したがって、この実施形態では、従来に比べて占有面積を73%程度縮小化することが可能となり、占有面積を格段に低減することができる。

【0015】なお、上記構造の半導体装置は半導体基板中に形成されているが、例えば多層配線構造における配線層間に絶縁膜に挟まれて形成された半導体中に形成することも可能であり、このような場合であっても上記と同様の効果を得ることができる。

【0016】図2は請求項3記載の発明の一実施形態に係る半導体装置の構成を示す正面図である。

【0017】この実施形態の特徴とするところは、図1に示す構造のトランジスタを正多角形例えば最密充填型の正六角形状に配列して1つのトランジスタを構成したことにある。図2において、六角形に形成されたソース拡散層7の外周辺に沿って6個のゲート電極8が配列され、ゲート電極8の外側をドレイン拡散層9が六角形状に取り囲み、ドレイン拡散層9の外周を絶縁体層10が取り囲むように形成されている。なお、トランジスタを配列する形状は最密充填型の正六角形に限ることはなく、正多角形あるいは円形もしくは直線状に配列してもよい。

【0018】図1に示す構造の埋め込み型のゲート電極を採用したトランジスタにあっては、ゲート電極を半導体基板上に形成した従来の構造に比べてゲート幅のサイズに制約が生じる可能性が高くなる。すなわち、様々なゲート幅(深さ)のゲート電極を形成することは製造方法の観点からは難しいので、ゲート幅をある幾つかのサイズに限定したほうが製造が容易となる。しかしながら、ゲート幅が限定されると、トランジスタの駆動力も限られ回路を構築する際に制約が生じることになる。そこで、図2に示すようにゲート電極を分割して1つのトランジスタを構成することにより、幾つかの限られたゲート幅のトランジスタからゲート幅がより大きなトランジスタを形成することができる。図2に示す構造において、例えばゲートの深さ(ゲート幅)を $2.5\mu\text{m}$ 程度

とすると、12箇所のチャンネルが存在するのでゲート幅が $30\mu\text{m}$ 程度の従来型のトランジスタと同等の駆動力を得ることが可能となる。

【0019】この場合に、この実施形態と従来のトランジスタの占有面積を比較すると、図2に示す構造において、前記図1に示す場合と同様の製造条件を想定し、最密充填型の正六角形のソース領域7の中心から素子分離領域の絶縁体層9の外周に垂線を引き各領域の長さをそれぞれ $0.4\mu\text{m}$ 程度とすると、占有面積は約 $8.9\mu\text{m}^2$ 程度と試算される。一方、従来例では、ゲート電極が6分割されて1つのゲート電極のゲート幅が $5\mu\text{m}$ 程度の場合を想定し、ソース/ドレイン領域の拡散層の短辺、及びゲート長をそれぞれ $0.4\mu\text{m}$ 程度とすると、トランジスタの形成領域は $6\mu\text{m}\times 5.8\mu\text{m}$ の辺を持つ長方形となり、占有面積は $34.8\mu\text{m}^2$ 程度となる。この結果、この実施形態の構成によれば従来例に比べて $1/4$ 程度の占有面積で従来と同等の性能を得ることが可能となり、従来に比べて格段に微細化を図ることができる。

【0020】図3は請求項3記載の発明の他の実施形態に係わる半導体装置の構成を示す正面図である。

【0021】図3において、この実施形態の特徴とするところは、前記図2に示す実施形態のトランジスタ11を隙間なく規則的に配列して半導体装置を構築するようにしたことにある。このような実施形態にあつては、1つのトランジスタの平面的形状が最密充填の配列が可能

な正六角形となっているので、ゲートアレイ等の規則的なパターンの集積回路を高密度に配置という目的には好適である。

【0022】

【発明の効果】以上説明したように、この発明によれば、ゲート電極を半導体基板表面と垂直方向に半導体基板中に形成してチャンネル領域を半導体基板の表面と垂直方向に形成するようにしたので、従来に比べて格段に微細化したトランジスタを提供することが可能となり、このトランジスタを用いて回路を構築することにより半導体装置の高集積化を達成することができる。

【図面の簡単な説明】

【図1】請求項1記載の発明の一実施形態に係わる半導体装置の構成を示す図である。

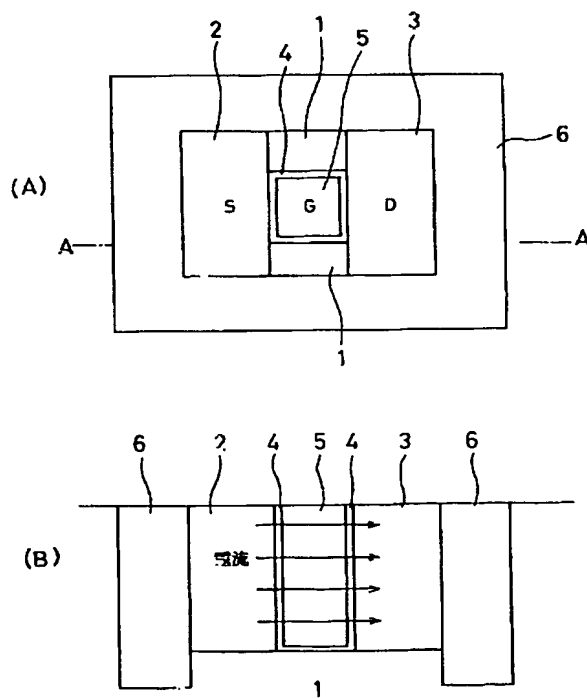
【図2】請求項3記載の発明の一実施形態に係わる半導体装置の構成を示す図である。

【図3】請求項3記載の発明の他の実施形態に係わる半導体装置の構成を示す図である。

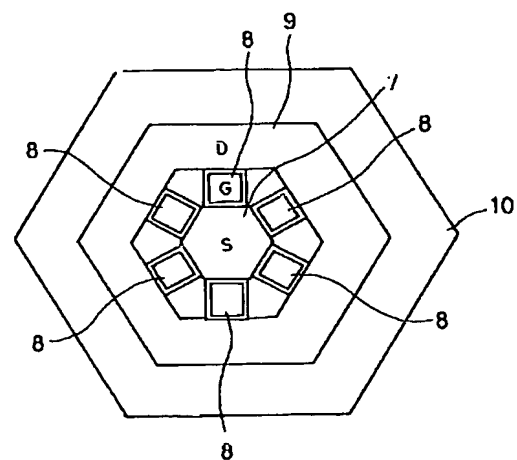
【符号の説明】

- 1 半導体基板
- 2, 7 ソース領域
- 3, 9 ドレイン領域
- 4 ゲート酸化膜
- 5, 8 ゲート電極
- 6, 10 絶縁体層
- 11 トランジスタ

【図1】



【図2】



【図3】

